



ضرب‌کننده و ضرب جمع‌کننده پیمانه 2^n+1

برای پردازنده سیگنال دیجیتال

نگار اکبرزاده و سمیه تیمارچی*

دانشکده مهندسی برق، دانشگاه شهید بهشتی، تهران، ایران

چکیده

فیلتر کردن یکی از مهم‌ترین عملیات پردازنده‌های سیگنال دیجیتال است که معادل عملیات جمع و ضرب متوالی است. ادغام دو واحد ضرب‌کننده و جمع‌کننده موجود در ساختار این پردازنده‌ها منجر به ایجاد یک واحد جدید به نام ضرب جمع‌کننده می‌شود. جهت بهبود کارایی واحد ضرب جمع‌کننده، از سامانه‌های اعداد مانده‌ای می‌توان بهره گرفت. این سامانه به دلیل انجام عملیات به صورت موازی روی پیمانه‌ها و محدود کردن انتشار رقم نقلی به داخل هر پیمانه، سرعت و توان مصرفی مدارهای محاسباتی مانند ضرب‌کننده و ضرب جمع‌کننده را بهبود می‌بخشند. از میان مجموعه پیمانه $\{2^n-1, 2^n, 2^n+1\}$ ، مدارهای پیمانه 2^n+1 به دلیل نیاز به مسیر داده $(n+1)$ بیتی، مسیر بحرانی خواهند بود. در این مقاله، ابتدا یک واحد ضرب جمع‌کننده برای پیمانه 2^n+1 ارائه شده و سپس، برای بهبود بیشتر کارایی از روش خط لوله و چندولتاژی استفاده می‌شود. نتایج شبیه سازی بیان گر بهبود تأخیر، توان مصرفی و PDP مدارهای پیشنهادی بدون کاهش کارایی نسبت به مدارهای موجود است.

واژگان کلیدی: پردازنده سیگنال دیجیتال، ضرب جمع‌کننده، سامانه اعداد مانده‌ای، نمایش diminished-1، ضرب‌کننده.

Modulo 2^n+1 Multiplication and Multiply-Accumulate Units for Digital Signal Processor

Negar Akbarzadeh & Somayeh Timarchi*

Electrical Engineering Department, Shahid Beheshti University, GC., Tehran, Iran

Abstract

Nowadays, digital signal processors (DSPs) are appropriate choices for real-time image and video processing in embedded multimedia applications not only due to their superior signal processing performance, but also of the high levels of integration and very low-power consumption. Filtering which consists of multiple addition and multiplication operations, is one of the most fundamental operations of DSPs. Therefore, there is a need for an additional unit just after the multiplication unit in DSPs. By combining multiply and add units, new structure named MAC (Multiply and ACcumulate) unit is provided. Residue Number System (RNS) can improve speed and power consumption of arithmetic circuits as it offers parallel arithmetic operations on each moduli and confines carry propagation to each moduli. In order to improve the efficiency of the MAC unit, RNS could be utilized.

RNS divides large numbers to smaller numbers, called residues, according to a moduli set and enables performing arithmetic operations on each moduli independently. The moduli set $\{2^n-1, 2^n, 2^n+1\}$ is the most famous among others because of its simple and efficient implementation. Among this moduli set, modulo 2^n+1 circuits are the critical path due to $(n+1)$ -bit wide data path despite other two modules which all have n -bit wide operands. In order to overcome the problem of $(n+1)$ bits operands, three representations have been suggested: diminished-1, Signed-LSB and Stored-Unibit. Although different multipliers have been proposed for diminished-1 representation, no multiplication structure has been proposed for the last two ones. Modulo 2^n+1 multipliers are divided into 3 categories depending on their inputs and outputs types: both operands use standard (weighted) representation; one input uses standard representation, while the other one utilizes

* Corresponding author

* نویسنده عهده دار مکاتبات

فصلنامه

شماره ۱
پیاپی ۳۵

۱۳۷

سال ۱۳۹۷ شماره ۱ پیاپی ۳۵

diminished-1 representation; both inputs use diminished-1 representation. Although several multiply and add units have been proposed for the first 2 categories, no MAC unit is proposed for the multipliers of a third category which outperform multipliers of other categories. In this article at first, one modulo 2^n+1 MAC unit for the third category is proposed and then for further improvement, pipeline and multi-voltage techniques are utilized. Pipeline structure enables a trade-off between power consumption and delay. Whenever high-performance with least delay is desirable, nominal supply voltage can be chosen (high performance mode) otherwise by reducing supply voltage to the amount at which pipeline circuit and normal circuit without pipeline would have the same performance, power consumption decreases significantly (low power mode).

Simulations are performed in two phases. At first phase, proposed MAC unit without pipeline structure is described via VHDL code and synthesized with synopsys design vision tool. Results indicate that the proposed structure outperforms PDP (Power-Delay-Product) up to 39% compared to the state of the art MAC units. At second phase, CMOS transistor level implementation in two modes i.e. low power and high performance modes with Cadence Design Systems tool is provided. Simulation results indicate that at low power condition, proposed pipeline MAC unit yields to 71% power savings compared to existing circuits without declining efficiency. Furthermore, at high performance condition, however power consumption has increased, reducing delay up to 54% yields to 39% PDP savings for proposed pipeline MAC unit.

Keywords: Digital signal processor, MAC, Residue number system, diminished-1 representation, multiplier.

مانده‌ای به دلیل امکان انجام عملیات به صورت موازی روی پیمانه‌ها و محدود کردن انتشار رقم نقلی به داخل هر پیمانه، توانسته‌اند مدارهای محاسباتی را سریع تر و کم توان تر کنند [3]-[4]. در نتیجه، سامانه‌های اعداد مانده‌ای انتخاب مناسبی برای طراحی پردازنده‌های سیگنال دیجیتال [5]، فیلترهای با پاسخ ضربه محدود (FIR) [6]، واحدهای پردازش تصویر [7]، سامانه‌های مخابراتی [8] و رمزنگاری [9] هستند.

یکی از مهم ترین مجموعه پیمانه‌های موجود در سامانه اعداد مانده‌ای که دارای الگوریتم و مدارهای محاسباتی ساده تری نسبت به دیگر مجموعه پیمانه‌ها است، مجموعه پیمانه $\{2^n-1, 2^n, 2^n+1\}$ است. پیمانه 2^n+1 به دلیل نیاز به مدارهای حسابی $(n+1)$ بیتی، مسیر بحرانی سامانه‌های اعداد مانده‌ای مبتنی بر این مجموعه پیمانه محسوب می شوند. از این رو طراحان بسیاری بر روی بهینه سازی مدارها و الگوریتم‌های مربوط به این پیمانه متمرکز شده‌اند. در نتیجه توجه این مقاله نیز معطوف به واحدهای ضرب و ضرب جمع کننده⁶ موجود در پیمانه 2^n+1 و تلاش برای بهبود کارایی آن‌ها است.

تاکنون کدگذاری‌های مختلفی از جمله کدگذاری‌های وزن دار⁷ و diminished-1 [10] برای پیاده سازی مدارهای پیمانه 2^n+1 ارائه شده است. ضرب کننده‌های پیمانه 2^n+1 بر اساس دو سامانه عددی وزن دار و diminished-1 را به سه دسته می توان تقسیم کرد. در دسته نخست از نمایش عددی وزن دار [11]-[13] و در دسته دوم از نمایش عددی diminished-1 [14]-[15] برای نمایش اعداد ورودی و

۱- مقدمه

واحدهای عملیاتی جمع کننده و ضرب کننده، اساسی ترین جزء مدارهای محاسباتی پیچیده از جمله پردازنده‌های سیگنال دیجیتال^۱ و تراشه‌های رمزنگاری هستند. امروزه با پیچیده تر شدن الگوریتم‌ها، افزایش چشم گیر حجم محاسباتی و نیاز به انجام عملیات ضرب و جمع متعدد روی عملوندهای با تعداد بیت زیاد، سرعت، توان مصرفی و مساحت از مهم ترین چالش‌های طراحی این مدارها هستند. سامانه اعداد دودویی به دلیل مسأله انتشار رقم نقلی از کم ارزش ترین بیت^۲ (LSB) به پر ارزش ترین بیت^۳ (MSB) به خصوص در عملوندهای با تعداد بیت زیاد، دیگر قابل استفاده در سامانه‌های بلادرنگ^۴، کم توان و کم مساحت نیستند. این محدودیت موجب شده است تا سامانه‌های اعداد دیگری از جمله سامانه اعداد مانده‌ای^۵، سامانه اعداد افزونه‌ای و سامانه اعداد مانده‌ای افزونه که پاسخ گوی این نیاز باشند، ارائه شد [1].

سامانه اعداد مانده‌ای مجموعه‌ای متشکل از چند پیمانه است که برای نمایش اعداد در این سامانه، از باقی مانده تقسیم آن‌ها بر این پیمانه‌ها استفاده می شود [3]-[4]. از اصلی ترین خواص این سامانه که منجر به استفاده از آن در حساب رایانه‌ای سریع شده است، خاصیت عدم انتشار رقم نقلی بین پیمانه‌ها و امکان انجام محاسبات روی پیمانه‌ها به صورت موازی و مستقل از هم است. در واقع سامانه‌های اعداد

¹ Digital Signal Processors (DSPs)

² Least Significant Bit (LSB)

³ Most Significant Bit (MSB)

⁴ Real-Time

⁵ Residue Number System (RNS)

⁶ Multiply and Accumulate (MAC)

⁷ Weighted

[3]. برای مثال اگر m پیمانه به صورت $(m_m, m_{m-1}, \dots, m_2, m_1)$ داشته باشیم، عدد X در این مجموعه پیمانه به صورت $(x_m, x_{m-1}, \dots, x_2, x_1)$ نمایش داده می شود، به صورتی که:

$$\begin{aligned} x_i &= X \bmod m_i = |X|_{m_i} \\ &= X - \lfloor X/m_i \rfloor \times m_i, x_i \in [0, m_i - 1] \end{aligned} \quad (1)$$

که در آن $\lfloor X/m_i \rfloor$ نشان دهنده بزرگترین عدد صحیح کوچک تر یا مساوی X/m_i است.

اگر پیمانه ها نسبت به هم اول باشند، تعداد کل اعدادی که در این سامانه مانده ای می توان نمایش داد برابر خواهد بود با:

$$M = m_m \times m_{m-1} \times \dots \times m_2 \times m_1 \quad (2)$$

مزیت این سامانه نمایش نسبت به سامانه اعداد دودویی، امکان تبدیل اعداد بزرگ توسط مجموعه پیمانه ها به اعداد کوچک تر، امکان انجام عملیات حسابی روی اعداد هر پیمانه مستقل از سایر پیمانه ها بدون انتشار رقم نقلی بین پیمانه ها و امکان تحمل پذیری و کشف خطا است [3]-[4]. از معایب سامانه اعداد مانده ای، به پیچیده بودن عملیات حسابی تقسیم، تعیین علامت، مقایسه دامنه، تشخیص سرریز و نیاز به مدارهای مبدل بین اعداد دودویی و مانده ای می توان اشاره کرد.

در سامانه اعداد مانده ای، مدارهای محاسباتی کوچک تر مورد نیاز بوده که به صورت موازی و مستقل از هم می توانند کار کنند و همین امر منجر به بهبود تأخیر، توان مصرفی و مساحت کل سامانه می شود؛ اگر چه یک مبدل مستقیم⁴ (FC) برای تبدیل اعداد دودویی به اعداد مانده ای و یک مبدل معکوس⁵ (RC) برای تبدیل اعداد مانده ای به اعداد دودویی مورد نیاز خواهد بود، اما به دلیل این که در اغلب کاربردهای ذکر شده نیاز به عملیات حسابی متوالی روی اعداد است، تنها به یک عمل تبدیل مستقیم و معکوس نیاز خواهیم داشت.

مجموعه پیمانه های متعددی در این سامانه نمایش موجود است که از مهم ترین آن ها به مجموعه پیمانه $\{2^{n+1}, 2^n, 2^n-1\}$ می توان اشاره کرد. همان طور که اشاره شد، دلیل اهمیت این مجموعه پیمانه، امکان پیاده سازی ساده و بهینه مدارهای محاسباتی آن است. در این مجموعه پیمانه، پیمانه 2^n+1 دارای مدارهای محاسباتی پیچیده تر نسبت به دو پیمانه دیگر یعنی 2^n و 2^n-1 است، زیرا برخلاف این دو پیمانه

خروجی استفاده می شود؛ در حالی که دسته سوم متشکل از یک عمل وند ورودی diminished-1 و یک عمل وند ورودی و عمل وند خروجی وزن دار [16] است. براساس نتایج به دست آمده، ضرب کننده های دسته سوم کارایی بالاتری نسبت به دو دسته دیگر دارند. این دسته از ضرب کننده ها بیشتر برای کاربردهایی مناسبند که یکی از ورودی ها ثابت باشد [16].

با توجه به نیاز بسیاری از مدارهای VLSI همانند پردازنده های سیگنال دیجیتال و تراشه های رمزنگاری به عملیات ضرب و جمع متوالی، واحد ضرب جمع کننده های متعددی نیز براساس ضرب کننده های دسته نخست [13] و دوم [17] ارائه شده، اما تاکنون واحد ضرب جمع کننده ای برای دسته سوم ارائه نشده است. این دسته از ضرب کننده ها همان گونه که گفته شد، برای کاربردهای خاصی که بهتر است در آن ها یکی از ورودی ها ثابت باشد، مناسب هستند. در این مقاله، یک واحد جمع ضرب کننده جدید برای دسته سوم پیشنهاد شده است. همچنین، با بهره گیری از روش خط لوله¹ و چندولتاژی²، مدارهای ضرب و ضرب جمع کننده پیشنهاد شده است. نتایج نشان دهنده بهبود چشم گیر کارایی ساختارهای خط لوله نسبت به مدارهای ترتیبی فاقد خط لوله است.

در بخش دوم مقاله ابتدا کلیاتی در مورد سامانه اعداد مانده ای، انواع کدگذاری های موجود در این سامانه و انواع واحدهای ضرب و ضرب جمع کننده موجود در آن ارائه خواهیم کرد. در بخش سوم، به ارائه یک واحد ضرب جمع کننده جدید خواهیم پرداخت و سپس از روش خط لوله و چندولتاژی برای بهینه سازی بیشتر مدارهای ضرب و ضرب جمع کننده پیشنهادی استفاده خواهیم کرد. در نهایت، نتایج شبیه سازی مدارهای ارائه شده براساس روش خط لوله و چندولتاژی و درصد بهبود سرعت، توان مصرفی و PDP³ آن ها نسبت به مدارهای قبلی در بخش چهارم بیان خواهد شد. در بخش پنجم، به ارائه نتیجه گیری کلی این مقاله پرداخته شده است.

۲- مروری بر کارهای گذشته

۲-۱- سامانه اعداد مانده ای

در سامانه اعداد مانده ای، یک عدد صحیح با باقی مانده های آن به مجموعه ای از پیمانه های مستقل نمایش داده می شود [4]

¹ Pipeline

² Multi-voltage

³ Power Delay Product

⁴ Forward Converter (FC)

⁵ Reverse Converter (RC)

در ادامه، به بررسی ضرب‌کننده‌های پیمانه 2^n+1 برای سامانه نمایش وزن دار و diminished-1 خواهیم پرداخت.

۲-۲- ضرب‌کننده‌های پیمانه 2^n+1

ضرب‌کننده‌های پیمانه 2^n+1 در حالت کلی به سه دسته زیر تقسیم می‌شوند:

۱. نمایش ورودی‌ها و خروجی با استفاده از نمایش وزن دار [11]-[13]: ضرب‌کننده‌های ارائه شده در این دسته اگرچه دارای الگوریتم ساده‌تری هستند، اما به دلیل احتیاج به $n+1$ بیت برای نمایش متغیرها، دارای سخت‌افزار بزرگتر و در نتیجه توان مصرفی و تأخیر بیشتری هستند.

۲. نمایش ورودی‌ها و خروجی به صورت diminished-1 [14]-[15]: این ساختار، نیاز به مبدل بین سامانه وزن دار و diminished-1 خواهد داشت. همچنین، در این سامانه نمایش برای نمایش ورودی‌های صفر با مشکل مواجه هستیم.

۳. یکی از ورودی‌ها با نمایش diminished-1 و ورودی دیگر و خروجی با استفاده از نمایش وزن دار [16]: ضرب‌کننده‌های این دسته بهینه‌ترین هستند؛ اما، تنها برای کاربردهای خاص مانند فیلتر دیجیتال مناسبند که در آن یکی از ورودی‌ها ثابت و ورودی دیگر متغیر است. اگرچه در دسته‌بندی بالا گفته شد که دسته سوم ضرب‌کننده‌ها برای کاربردهایی که یکی از ورودی‌ها ثابت باشد، مناسب است، اما گفتنی است که لزومی ندارد به‌حتم یکی از ورودی‌ها ثابت باشد. در واقع، به دلیل این که یک ورودی دارای نمایش diminished-1 بوده و در حالت عادی نیاز به مبدل از سامانه دودویی به diminished-1 دارد و با توجه به این که طبق [16] این دسته از ضرب‌کننده‌ها نسبت به دو دسته دیگر از کارایی بهتری برخوردارند، پیشنهاد شده در کاربردهایی مانند پردازنده‌های سیگنال دیجیتال که یکی از ورودی‌ها می‌تواند ثابت باشد و برای کاربردهای بلادرنگ که نیازمند کارایی بسیار بالا هستند، طراحی شده‌اند، استفاده شوند؛ زیرا، در این صورت عدد ثابت (ضریب) را از پیش به نمایش diminished-1 می‌توان تبدیل کرده و در حافظه ذخیره کنیم. با این کار، دیگر تأخیر مبدل در کارایی سامانه لحاظ نخواهد شد.

با توجه به این که از پردازنده‌های سیگنال دیجیتال به‌طور عمومی برای پردازش تصاویر و فیلم استفاده می‌شود،

که به n بیت برای نمایش اعداد نیاز دارند، نیاز به $n+1$ بیت برای نمایش اعداد است. در نتیجه برای بهبود عملکرد کل سامانه، منطقی است که مسیر بحرانی آن یعنی مدارهای محاسباتی پیمانه 2^n+1 را بهبود بخشیم. برای حل مشکل $n+1$ بیت، کدگذاری diminished-1 به جای نمایش دودویی استاندارد (وزن دار) ارائه شده است که در ادامه به بررسی این دو سامانه نمایش خواهیم پرداخت.

۲-۱-۱- سامانه نمایش عددی وزن دار

این سامانه نمایش، معادل همان سامانه نمایش دودویی استاندارد است. در نتیجه برای نمایش اعداد به پیمانه 2^n+1 همچنان $n+1$ بیت نیاز است. استفاده از مدارهای $n+1$ بیتی برای طراحی مدارهای محاسباتی اعداد به پیمانه 2^n+1 به صرفه نیست؛ زیرا، با استفاده از این تعداد بیت، $2^{n+1}-1$ عدد را می‌توان نمایش داد. در حالی که در این پیمانه، تنها به‌ازای یک حالت و آن هم زمانی که باقیمانده برابر 2^n باشد، نیاز به $n+1$ بیت برای نمایش خواهد داشت. در نتیجه الگوریتم‌های متعددی پیشنهاد شده که اگرچه ورودی‌ها $n+1$ بیتی هستند؛ اما از مدارهای محاسباتی n بیتی برای طراحی آن‌ها استفاده شده است [11]-[13].

۲-۱-۲- سامانه نمایش عددی diminished-1

در این سامانه برای حل مشکل $n+1$ بیت برای نمایش اعداد به پیمانه 2^n+1 ، یک واحد از عدد کم کرده و سپس آن را در پیمانه 2^n+1 نمایش می‌دهند. مشکلی که در این سامانه نمایش با آن مواجه هستیم، نمایش عدد صفر است؛ زیرا طبق معادله زیر همچنان به $n+1$ بیت برای نمایش عدد صفر نیاز خواهد بود. اگر نمایش عدد x را با $d[x]$ نمایش دهیم، خواهیم داشت:

$$\begin{aligned} |d[0]|_{2^n+1} &= |-1|_{2^n+1} \\ &= |2^n + 1 - 1|_{2^n+1} = 2^n \end{aligned} \quad (3)$$

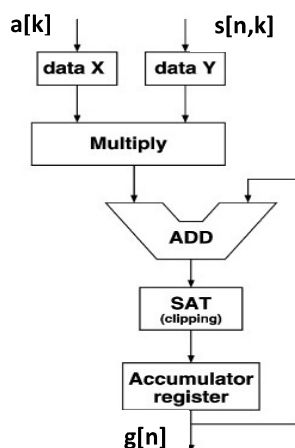
که در آن $d[0]$ بیانگر نمایش diminished-1 عدد صفر است. در مقالات ارائه شده بر اساس این سامانه نمایش، یا ورودی‌های صفر را در نظر نگرفته‌اند [14] یا با در نظر گرفتن یک بیت اضافه و یک سخت‌افزار جداگانه مشکل ورودی‌های صفر را نیز بر طرف کرده‌اند [15]، [17]. مشکل دیگر این سامانه نمایش، نیاز به مبدل بین این سامانه نمایش و نمایش وزن دار است.

$$P = |A \times B|_{2^{n+1}} = |d[A \times B] + 1|_{2^{n+1}}$$

$$= |d[A] \times B + B|_{2^{n+1}} = \left| \sum_{i=0}^{k-1} pp_i + C + K \right|_{2^{n+1}},$$

$$K = \begin{cases} \frac{n}{2}, & n \text{ even} \\ \frac{n+1}{2}, & n \text{ odd} \end{cases} \quad (5)$$

که در آن A ، B ورودی‌های ضرب کننده (با فرض این که A به صورت diminished-1 و B به صورت وزن دار نمایش داده شوند) و P خروجی آن است. همچنین C ، K و pp_i به ترتیب عدد ثابت، جمله تصحیح کننده و حاصل ضرب جزئی بوده و pp_i از رابطه زیر به دست می آید:



(شکل-۱): روند عمل فیلتر کردن، ارائه شده در [18].
(Figure-1): Filtering process, presented in [18].

$$pp_i = \left| \sum_{i=0}^{k-1} d[A \times E_i 2^{2i}] \right|_{2^{n+1}},$$

$$E_i = \begin{cases} \overline{a_n} \cdot \{ (b_{n-1} \vee b_n) + b_0 \} & \text{if } i = 0 \\ \overline{a_n} \cdot \{ -2((b_{n-1} \oplus b_1) \vee b_n) \} & \text{if } i = 1 \\ \overline{a_n} \cdot \{ b_1 \cdot \overline{b_{n-1}} + b_2 - 2b_3 \} & \text{if } i = 1 \\ \overline{a_n} \cdot \{ b_{2i-1} + b_{2i} - 2b_{2i+1} \} & \text{if } i \neq 0,1 \end{cases} \quad (6)$$

که در آن a_i و b_i به ترتیب بیت $(i+1)$ ام ورودی‌های A و B هستند. عبارت C برای برطرف کردن مشکل حاصل ضرب‌های جزئی که صفر می‌شوند و نیاز به $n+1$ بیت برای نمایش دارند، طراحی شده است. رابطه (۷) معادله مربوط به این پارامتر را نشان می‌دهد.

$$C = \sum_{i=0}^{k-1} c_i, c_i = \begin{cases} 2^{2i} & \text{if } E_i = 0 \\ 0 & \text{if } E_i \neq 0 \end{cases} \quad (7)$$

شکل (۲) ساختار این ضرب کننده را نشان می‌دهد. این ساختار از چهار بخش PPG^۱ برای تولید حاصل ضرب‌های

فیلتر کردن از کاربردهای رایج آن‌ها است [18]. طبق رابطه (۴) فیلتر کردن معادل ضرب یک سیگنال در یک بردار حاوی ضرایب و جمع نتیجه هر مرحله با نتیجه مرحله قبل است.

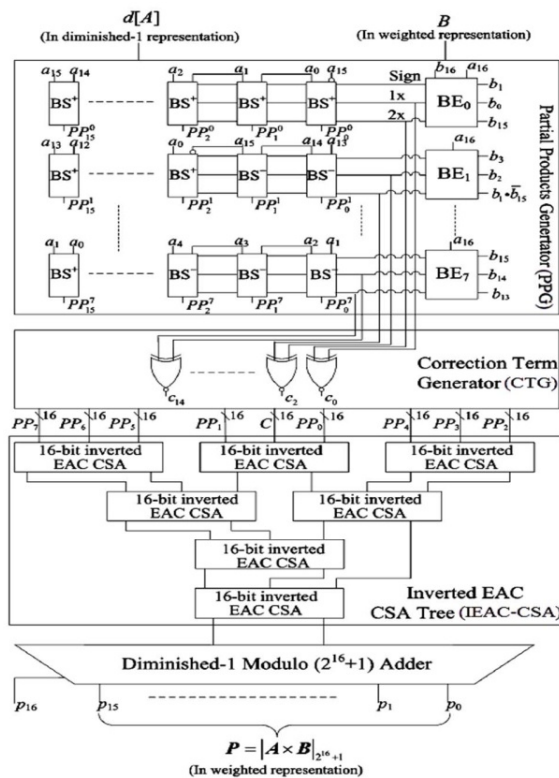
$$g[n] = \sum_{k=0}^{N-1} a[k]s[n,k], n, k \in Z \quad (4)$$

که در این رابطه، $a[k]$ ، $s[n,k]$ و $g[n]$ به ترتیب سیگنال ورودی، سیگنال ضرایب و سیگنال خروجی است. شکل (۱) نیز روند کلی عمل فیلتر کردن را نشان می‌دهد. دو ورودی آن، $a[k]$ سیگنال ورودی و $s[n,k]$ سیگنال ضرایب بوده و خروجی آن، سیگنال $g[n]$ است. این دو ورودی ابتدا وارد رجیسترهای data X و data Y شده و سپس توسط واحد Multiply در هم ضرب می‌شوند. نتیجه به دست آمده از این مرحله با نتیجه مرحله قبل توسط واحد ADD جمع شده و سپس، توسط واحد SAT نتیجه نهایی روند شده و وارد رجیستر خروجی می‌شود.

با توجه به ثابت بودن بردار ضرایب در بیش تر تبدیلات پردازش تصویر مانند تبدیل فوری، تبدیل کسینوسی و سینوسی، از ضرب کننده‌های دسته سوم که بهینه ترین ضرب کننده‌های سامانه اعداد مانده‌ای در پیمانه 2^n+1 هستند، در ساختار پردازنده‌های سیگنال دیجیتال می‌توان استفاده کرد. در ادامه، به بررسی بهینه ترین ضرب کننده ارائه شده در دسته سوم خواهیم پرداخت.

این دسته از ضرب کننده‌ها برای کاربردهای خاصی که تنها یکی از ورودی‌ها متغیر است، کاربرد دارد. با در نظر گرفتن این شرایط، ورودی ثابت را از قبل به سامانه diminished-1 می‌توان تبدیل کرده و در حافظه ذخیره کنیم. در غیر این صورت نیاز به مبدل از سامانه دودویی به diminished-1 خواهیم داشت. ضرب کننده ارائه شده در [16] جزء این دسته است که توسط الگوریتم booth طراحی شده است. الگوریتم به گونه‌ای طراحی شده که با این که یکی از ورودی‌ها در سامانه نمایش وزن دار است و در واقع دارای $n+1$ بیت است، اما ساختار ضرب کننده n بیتی می‌باشد. همچنین برای این که قابلیت پذیرش ورودی‌های صفر فراهم شود، برای نمایش ورودی diminished-1 نیز از $n+1$ بیت استفاده شده است. الگوریتم ارائه شده برای این دسته از ضرب کننده‌ها مطابق معادله (۵) است. فرض می‌کنیم ورودی A معادل سیگنال ضرایب $s[n,k]$ در معادله (۴) و ورودی B سیگنال ورودی $a[k]$ در معادله (۴) باشد.

¹ Partial Product Generator (PPG)



(شکل ۲): ساختار ضرب کننده پیمانه 2^n+1 ارائه شده در [16].
(Figure-2): Structure of Modulo 2^n+1 multiplier, presented in [16].

t1	Fetch	Dec	Data Read	MPY	ADD	Data Write
t2		Fetch	Dec	Data Read	MPY	ADD
						Data Write

(شکل ۳): ساختار خط لوله پردازنده سیگنال دیجیتال [18].
(Figure-3): Structure of pipeline DSP [18].

همان طور که در شکل (۱) مشاهده می شود، به طور معمول عمل جمع ضرب متوالی نیاز به یک ضرب کننده و دو جمع کننده دارد: یک جمع کننده در مرحله پایانی ضرب کننده برای جمع دو بردار جمع و رقم نقلی حاصل از ساختار CSA و یک جمع کننده برای جمع نتیجه حاصل ضرب با نتیجه قبلی. به خصوص، در ساختار پردازنده های سیگنال دیجیتال که برای پردازش بلادرنگ روی تصویر و فیلم طراحی شده اند، ساختار آن ها به منظور بهبود کارایی سامانه به صورت خط لوله است. در نتیجه نیاز به دو چرخه جداگانه برای محاسبه نتیجه عملیات ضرب-جمع خواهد بود. شکل (۳) مسیر یک خط لوله پردازنده سیگنال دیجیتال معمول را نشان می دهد [18]. این خط لوله از شش مرحله تشکیل شده است:

جزئی، CTG^۱ برای تولید جمله تصحیح کننده، IEAC-CSA^۲ برای جمع حاصل ضرب های جزئی و تولید دو بردار جمع و رقم نقلی و جمع کننده پیمانه 2^n+1 در سامانه نمایش diminished-1 تشکیل شده است.

طبق (۸) کافی است رقم نقلی خروجی هر طبقه ساختار CSA یعنی C_n که در جایگاه کم ارزش ترین بیت قرار دارد، معکوس شده و به جایگاه کم ارزش ترین بیت انتقال یابد. به علاوه، لازم است تا یک واحد از نتیجه نهایی نیز کاسته شود. در نتیجه، در هر طبقه ساختار CSA اگر تنها رقم نقلی خروجی را معکوس کرده و به جایگاه کم ارزش ترین بیت انتقال دهیم، نتیجه یک واحد از نتیجه مورد نظر بزرگ تر خواهد بود. در واقع، می توان فرض کرد هر طبقه CSA یک واحد به نتیجه نهایی می افزاید. به همین دلیل، با توجه به این که برای جمع $K+1$ حاصل ضرب جزئی به ساختار CSA به $K-1$ طبقه نیاز است که منجر به اضافه شدن $K-1$ واحد به نتیجه نهایی می شود و همچنین با توجه به این که جمع کننده نهایی، جمع کننده از نوع diminished-1 بوده و خود یک واحد به نتیجه نهایی می افزاید، دیگر نیاز به افزودن عدد ثابت K که در (۵) ظاهر شده بود، به نتیجه نهایی نخواهد بود.

$$|C_n 2^n|_{2^{n+1}} = |-C_n|_{2^{n+1}} - C_n + 2^n + 1|_{2^{n+1}} \\ = |\overline{C_n} + 2^n|_{2^{n+1}} = |\overline{C_n} + 2^n|_{2^{n+1}} \quad (8)$$

طبق نتایج شبیه سازی این ساختار به دلیل کم ترین تعداد حاصل ضرب های جزئی، بهینه ترین ساختار از لحاظ تأخیر، توان مصرفی و مساحت در میان بهترین ساختارهای موجود در هر دسته است [16].

همان طور که در بخش PPG در شکل (۲) مشاهده می شود، از دو واحد BE^3 و BS^4 تشکیل شده است که این دو واحد به ترتیب برای ایجاد ضرایب الگوریتم booth بر حسب سه بیت متوالی عدد B و اعمال ضرایب حاصل به دو بیت متوالی عدد A و ایجاد حاصل ضرب جزئی متناظر، نیاز است.

۳-۲- ضرب جمع کننده های پیمانه 2^n+1

واحد ضرب جمع کننده در ساختار پردازنده های سیگنال دیجیتال که برای کاربردهای پردازش تصویر طراحی شده اند و فیلتر کردن از اصلی ترین وظیفه آن ها به شمار می رود، کاربرد فراوان دارد.

¹ Correction Term Generator (CTG)

² Inverted-End-Around-Carry CSA

³ Booth Encoder

⁴ Booth Selector

همان طور که در بخش قبل در ساختار ضرب کننده پیمانه 2^n+1 ارائه شده در [16] مشاهده کردیم، الگوریتم ضرب کننده به گونه ای طراحی شده است که جمع کننده نهایی در سامانه diminished-1 باشد [19]؛ اما ورودی جمع کننده (D) در سامانه نمایش وزن دار بوده و دارای $n+1$ بیت است. برای برطرف کردن این مشکل، D را به صورت زیر می توانیم بازنویسی کنیم:

$$\begin{aligned} |D|_{2^{n+1}} &= |d_n 2^n + D_{n-1:0}|_{2^{n+1}} \\ &= |d_n - 2d_n + D_{n-1:0}|_{2^{n+1}} \\ &= |d_n + d_n(2^n - 1) + D_{n-1:0}|_{2^{n+1}} \\ &= |d_n + D_{n-1:0}^*|_{2^{n+1}}, d_i^* = d_n \vee d_i \end{aligned} \quad (10)$$

که در آن d_i نشان گر $(i+1)$ مین بیت D است. حال با جای گذاری رابطه جدید در معادله (۹) خواهیم داشت:

$$\begin{aligned} P &= |(d[A] \times B) + B|_{2^{n+1}} + D|_{2^{n+1}} = \\ &= \left| \sum_{i=0}^{k-1} pp_i + C + K + d_n + D_{n-1:0}^* - 2 \right|_{2^{n+1}} = \\ &= \left| \sum_{i=0}^{k-1} pp_i + C + K + d_n + D_{n-1:0}^* + 2^n - 1 \right|_{2^{n+1}} \end{aligned} \quad (11)$$

اضافه شدن جمله ۲- ناشی از اضافه شدن دو طبقه CSA جدید به ساختار ضرب جمع کننده نسبت به ضرب کننده است؛ زیرا همان طور که پیش تر در بخش ۲-۲ گفته شد، اضافه شدن هر طبقه CSA معادل با افزوده شدن یک واحد به نتیجه نهایی خواهد بود. در نتیجه در این ساختار به یک جمله تصحیح کننده برابر با 2^n-1 نیاز خواهیم داشت. با توجه به این که تمامی بیت های این بردار برابر یک است، طبق معادله (۱۲) می توان برای طراحی یکی از طبقات ساختار CSA، از نیم جمع کننده های خاص استفاده کرد.

$$S_i = \overline{x_i \oplus y_i}, C_{i+1} = x_i + y_i \quad (12)$$

طبق [16]، جمله تصحیح کننده C ایجاد شده در واحد CTG به صورت زیر است:

$$C = (... 0x_{i+1} 0x_i ... 0x_1 0x_0)_2 \quad (13)$$

در نتیجه، از یک نیم جمع کننده برای جمع d_n با کم ارزش ترین بیت جمله C ، می توان استفاده کرد. معادله (۱۴) رابطه جدید جمله تصحیح کننده را بیان می کند:

$$C' = (... 0x_{i+1} 0x_i ... 0x_1 (x_0, d_n)(x_0 \oplus d_n))_2 \quad (14)$$

همان طور که مشاهده می شود، تنها در ازای افزایش یک طبقه به ساختار CSA به صورت سری، که تأخیر آن معادل با

واحد Fetch دستورالعملی را که باید اجرا شود، واکشی، واحد Dec آن را رمزگشایی، واحد Data Read داده های مورد نیاز در این دستورالعمل را فراخوانی می کند؛ واحد MPY این دو داده را در هم ضرب کرده و واحد ADD نتیجه به دست آمده را با نتیجه مرحله قبل جمع و واحد Data Write نتیجه خروجی را در حافظه ذخیره می کند.

ایده پیشنهاد شده در [11] بر پایه تلفیق دو جمع کننده موجود در ساختار و استفاده از یک جمع کننده است. به کارگیری این ایده منجر به حذف یک سربار سخت افزاری بزرگ و در نتیجه بهبود چشم گیر کارایی کل سامانه از لحاظ تأخیر، توان مصرفی و مساحت خواهد شد.

به دلیل این که ساختار ضرب-جمع کننده ها بر اساس ساختار ضرب کننده ها طراحی می شوند، می توان انواع ضرب جمع کننده ها را نیز به سه دسته تقسیم کرد:

۱. نمایش ورودی ها و خروجی با استفاده از نمایش وزن دار

۲. نمایش ورودی ها و خروجی با استفاده از نمایش diminished-1

۳. یکی از ورودی های ضرب کننده با نمایش diminished-1 و نمایش ورودی دیگر ضرب کننده، ورودی جمع کننده و خروجی با استفاده از نمایش وزن دار.

از میان دسته های بالا، ساختارهای متعددی برای دو دسته نخست پیشنهاد شده است؛ اما برای ساختار دسته سوم تا کنون واحد ضرب جمع کننده ای پیشنهاد نشده است.

۳- ساختارهای پیشنهادی برای ضرب و

ضرب جمع کننده پیمانه 2^n+1

۳-۱ ساختار پیشنهادی ضرب جمع کننده

پیمانه 2^n+1

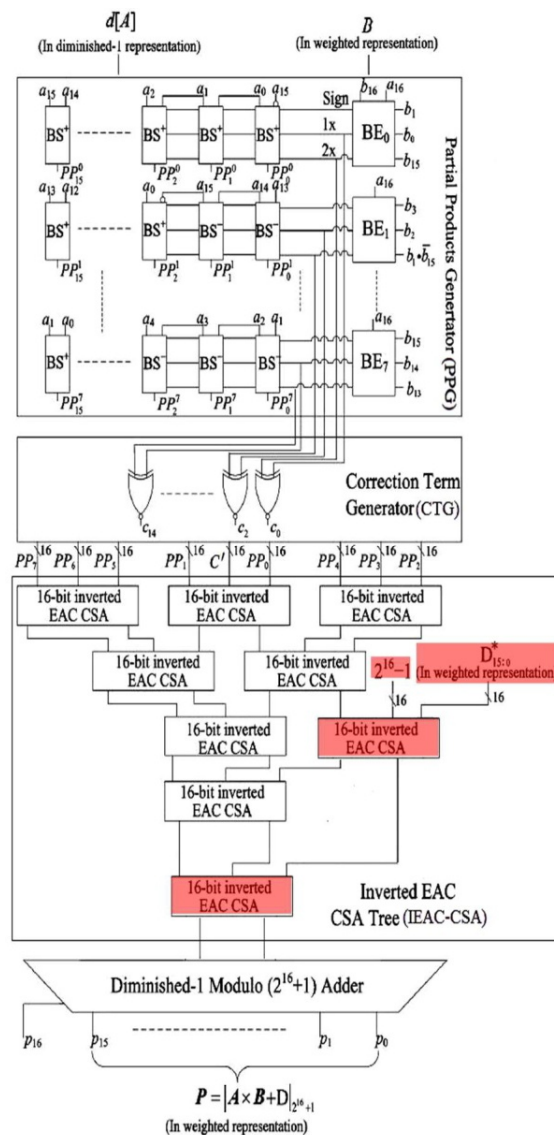
معادله ساختار ضرب جمع کننده دسته سوم به شکل زیر است:

$$\begin{aligned} P &= |(A \times B) + D|_{2^{n+1}} = ||A \times B|_{2^{n+1}} + D|_{2^{n+1}} \\ &= ||(d[A] \times B) + B|_{2^{n+1}} + D|_{2^{n+1}} \end{aligned} \quad (9)$$

که در آن A و B ورودی های ضرب کننده، D ورودی جمع کننده و P نتیجه واحد ضرب جمع کننده است. همچنین، طبق معادله (۵) داریم:

$$|d[A] \times B + B|_{2^{n+1}} = \left| \sum_{i=0}^{k-1} pp_i + C + K \right|_{2^{n+1}}$$

تأخیر یک نیم‌جمع‌کننده است، یک طبقه به ساختار CSA به‌صورت موازی، یک گیت and، یک گیت xor و n گیت or، که روی مسیر بحرانی سامانه نیستند، دو ساختار ضرب و جمعی که هر کدام یک سیکل اجرایی از پردازنده سیگنال دیجیتال را تلف می‌کردند، به یک واحد ترکیبی ضرب‌جمع‌کننده کاهش یافته و در نتیجه، موجب افزایش کارایی کل سامانه خواهد شد. شکل (۴) ساختار این ضرب‌جمع‌کننده را نشان می‌دهد.



شکل (۴): ساختار پیشنهادی ضرب-جمع‌کننده پیمانه 2^n+1 .
(Figure-4): Proposed structure of modulo 2^n+1 MAC unit.

۲-۳- ساختار پیشنهادی خط لوله ضرب‌کننده

پیمانه 2^n+1

یکی از مؤثرترین روش‌ها برای کاهش توان مصرفی پویا،

استفاده از ساختار خط لوله است [20]. به‌خصوص، در ساختار پردازنده‌های سیگنال دیجیتال که خود دارای ساختار خط لوله هستند، استفاده از ساختار خط لوله برای یکی از واحدها مانند ضرب‌کننده، ساختار کلی سامانه را تغییر نداده و تنها منجر به اضافه‌شدن تعداد واحدهای ساختار خط لوله می‌شود؛ از طرفی، با تقسیم یکی از واحدهای خط لوله مانند ضرب‌کننده به واحدهای کوچکتر و با توجه به این که تأخیر هر کدام از زیر واحدها کمتر از تأخیر کل واحد ضرب‌کننده خواهد بود، فرکانس کلی سامانه در بدترین حالت تغییر نکرده و در صورتی که بحرانی‌ترین تأخیر متعلق به واحد تقسیم شده به‌عنوان مثال ضرب‌کننده باشد، با این کار فرکانس کلی سامانه را به اندازه تأخیر بحرانی جدید می‌توان افزایش داد.

استفاده از ساختار خط لوله نه تنها از به‌وجودآمدن سیگنال‌های ناخواسته^۱ که خود یکی از عوامل مؤثر در افزایش توان مصرفی است جلوگیری می‌کند، بلکه به دلیل ممکن‌سازی کاهش ولتاژ منبع تغذیه، منجر به کاهش چشم‌گیر توان مصرفی می‌تواند شود. درواقع، مهم‌ترین ویژگی خط لوله، امکان مصالحه^۲ بین تأخیر و توان مصرفی است. این بدین معنی است که هرگاه لازم باشد، سامانه با بیشینه سرعت کار کند، از ولتاژ معمول (برای مثال ولتاژ ۱/۸ ولت در فناوری ۱۸۰ نانومتر) برای تغذیه سامانه می‌توان استفاده کرد و هرگاه توان مصرفی عامل محدودیت باشد، با کاهش ولتاژ منبع تغذیه توان مصرفی را تا حد مطلوب می‌توان کاهش داد. به این روش، روش چندولتاژی گفته می‌شود.

بر اساس رابطه ذکرشده در [20]:

$$P_{dyn} = \alpha C_L V_{DD}^2 f \quad (15)$$

که در آن α ، C_L ، V_{DD} و f به ترتیب بیان‌گر ضریب فعالیت^۳، خازن بار، ولتاژ منبع تغذیه و فرکانس هستند، افزودن یک سیگنال با فعالیت بالا مانند سیگنال ساعت^۴ به سامانه، موجب افزایش توان مصرفی پویا می‌شود. استفاده از خط لوله این امکان را می‌دهد که با کاهش ولتاژ منبع تغذیه که طبق رابطه (۱۵) توان پویا با مجذور آن رابطه دارد، توان مصرفی پویا به نسبت خوبی کاهش یابد.

^۱ glitch

^۲ Trade-off

^۳ Switching activity

^۴ clock

این که در ساختار جدید، تأخیر هر کدام از مراحل PPG و CSA، CTG و جمع کننده، بسیار کمتر از تأخیر کل واحد ضرب یا جمع کننده مجزا است، کارایی کل سامانه به میزان چشم گیری بهبود خواهد یافت.

۴- نتایج شبیه سازی و سنتز مدارهای پیشنهادی ضرب و ضرب جمع کننده پیمانه 2^n+1

۴-۱- مقایسه مدارهای ضرب جمع کننده پیمانه 2^n+1

در این بخش، بهینه ترین ساختارهای ضرب جمع کننده پیمانه 2^n+1 مربوط به دو دسته نخست و نیز ساختار ضرب جمع کننده پیمانه 2^n+1 پیشنهادی مربوط به دسته سوم مورد بررسی و مقایسه قرار می گیرند. از دسته نخست، ضرب جمع کننده ارائه شده در [13] و از دسته دوم ضرب جمع کننده ارائه شده در [17] توسط زبان توصیف سخت افزار (VHDL) پیاده سازی شده اند. نتایج سنتز مدارها از نرم افزار synopsys design vision با استفاده از کتابخانه tsmc180 (۱۸۰ نانومتر) و تحت شرایط typical (ولتاژ منبع تغذیه برابر ۱/۸ ولت و دمای ۲۵ درجه سانتی گراد) به ازای هشت بیت برای همه مدارها در جدول (۱) آورده شده است.

(جدول-۱): نتایج سنتز ضرب جمع کننده های پیمانه 2^n+1

به کمک نرم افزار Synopsys Design Vision.

(Table-1): Synthesis result of modulo 2^n+1 MAC provided by Synopsys Design Vision tool.

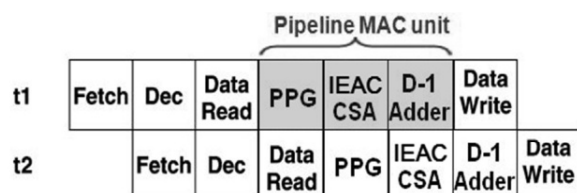
ضرب جمع کننده (افستاتیو، موشوپولوس، اکسلوس و پکمستری 2014)	ضرب جمع کننده ه (افستاتیو و وویاتزیس 2011)	ضرب جمع کننده پیشنهادی	پارامتر
5871.1	6356.75	5688.14	مساحت (μm^2)
12.92	14.58	9.99	توان دینامیک (μw)
59.9	56.72	55.26	توان استاتیک (nw)
2.28	2.02	2.13	تأخیر (ns)

در پردازنده های سیگنال دیجیتال که در آن با توجه به حجم و سرعت عملیات گاه به کارایی بسیار بالا مانند تشخیص هوشیاری یا خواب آلودگی رانندگان و گاه به کارایی متوسط مانند پیش پردازش سیگنال های مغزی با استفاده از باتری محدود نیاز است [2] و با توجه به این که کارایی و توان هر دو با ولتاژ منبع تغذیه رابطه دارند، از پردازنده خط لوله ای چندولتاژی می توان استفاده کرد.

برای افزایش کارایی ساختار ضرب کننده در شکل (۲)، آن را به صورت خط لوله می توان طراحی کرد. ساختار ضرب کننده [16] از چهار بخش PPG، CTG، IEAC-CSA و جمع کننده diminished-1 پیمانه 2^n+1 تشکیل شده است. با توجه به این که بلوک CTG در شکل (۲) تنها از گیت های xor تشکیل شده است، آن را با بلوک PPG می توان ادغام کرد، بدون این که کارایی کل بلوک کاهش یابد. در نتیجه، می توان ضرب کننده را به یک ساختار خط لوله با سه بخش تقسیم کرد.

۳-۳- ساختار پیشنهادی خط لوله ضرب جمع کننده پیمانه 2^n+1

برای افزایش کارایی ساختار ضرب جمع کننده پیشنهادی در شکل (۴) نیز همانند ساختار ضرب کننده، از آن جا که عملیات جمع با ساختار CSA قابل انجام است، آن را به صورت خط لوله با سه مرحله شامل (۱) بلوک های PPG و CTG، (۲) بلوک های CSA و (۳) جمع کننده پیمانه 2^n+1 در سامانه نمایش diminished-1 می توان طراحی کرد [19]. شکل (۵) ساختار خط لوله پردازنده سیگنال دیجیتال را با بهره گیری از ساختار خط لوله واحد ضرب جمع کننده که ایده اصلی این مقاله است؛ نشان می دهد.



(شکل-۵): ساختار خط لوله پردازنده سیگنال دیجیتال با

بهره گیری از ساختار خط لوله ضرب-جمع کننده پیشنهادی.

(Figure-5): Pipeline structure of DSP based on proposed pipeline MAC structure.

همان طور که در شکل (۵) مشاهده می شود، اگرچه تعداد مراحل خط لوله ساختار پیشنهادی یک مرحله نسبت به ساختار قبلی (شکل (۳)) افزایش یافته است، اما با توجه به

شبیه‌سازی شده‌اند. جدول (۲) و (۳) نتایج شبیه‌سازی را نشان می‌دهند.

(جدول-۲): نتایج سنتز ضرب‌کننده‌های خط لوله‌ای پیمانۀ 2^n+1 به کمک نرم‌افزار Cadence Design Systems.

(Table-2): Synthesis Result of Modulo 2^n+1 pipeline multiplier provided by Cadence Design Systems tool.

پارامتر	مدار خط لوله‌ای پیشنهادی (شرایط پیشینه کارایی)	مدار خط لوله‌ای پیشنهادی (شرایط کم‌توان)	مدار ترتیبی ضرب‌کننده (چن، یائو و وو 2011)
توان دینامیک (μW)	2914	555.2	1953
توان استاتیک (μW)	1611.9	257.6	558.72
تأخیر (ns)	1.55	3.4	3.4
(fj) PDP	4.56	1.887	6.64

(جدول-۳): نتایج سنتز ضرب‌جمع‌کننده‌های خط لوله‌ای پیمانۀ 2^n+1 نرم‌افزار Cadence Design Systems.

(Table-3): Synthesis Result of Modulo 2^n+1 pipeline MAC provided by Cadence Design Systems tool.

پارامتر	مدار خط لوله‌ای پیشنهادی (شرایط پیشینه کارایی)	مدار خط لوله‌ای پیشنهادی (شرایط کم‌توان)	مدار ترتیبی ضرب-جمع کننده پیشنهادی
توان دینامیک (μW)	3627	804.21	2694
توان استاتیک (μW)	2010	357.8	752.22
تأخیر (ns)	1.55	3.4	3.4
(fj) PDP	5.62	2.73	9.16

با توجه به نتایج شبیه‌سازی، در شرایط کم‌توان مدار خط لوله‌ای ضرب‌کننده ۷۲ درصد توان مصرفی را نسبت به مدار ترتیبی ضرب‌کننده فاقد خط لوله‌ای ارائه شده در [16] بدون

پارامتر	ضرب جمع‌کننده (افستاتیو، موشوپولوس، اکسلوس و پکمستزی 2014)	ضرب جمع‌کننده ه (افستاتیو و وویاتزیس 2011)	ضرب جمع‌کننده پیشنهادی
(fj) PDP	29.46	29.45	21.27
تأخیر مبدل	ندارد	دارد	ندارد

۲-۴- مقایسه مدارهای خط لوله‌ای ضرب و ضرب جمع‌کننده پیمانۀ 2^n+1 پیشنهادی

مدارهای ترتیبی^۱ و خط لوله‌ای واحدهای ضرب و ضرب جمع‌کننده پیمانۀ 2^n+1 پیشنهادی در دو حالت پیشینه کارایی و حالت کم‌توان (روش چندولتاژی) توسط نرم‌افزار Cadence Design Systems شبیه‌سازی و سنتز شده‌اند. شبیه‌سازی (با ولتاژ منبع تغذیه برابر ۱/۸ و ۱ ولت و فناوری ۱۸۰ نانومتر) و برای پیمانۀ 2^8+1 صورت گرفته است. همان‌طور که در شکل (۵) مشاهده می‌شود، ساختار خط لوله‌ای ضرب جمع‌کننده شامل سه بلوک PPG، CTG و CSA جمع‌کننده diminished-1 است. همچنین بین مراحل خط لوله بانک‌های رجیستری هشت بیتی برای ایزوله کردن واحدهای خط لوله قرار می‌گیرند.

برای طراحی همه گیت‌ها به غیر از گیت xor [21] و flipflop [22] که توسط pass transistor ها طراحی شده‌اند، از منطق CMOS استفاده شده است. منطق CMOS به دلیل خاصیت عدم نوفه‌پذیری و تقویت سیگنال تضعیف‌شده، نسبت به سایر منطق‌ها دارای برتری است؛ اما تعداد بالای ترانزیستورهای مورد نیاز و در نتیجه توان مصرفی و مساحت بالای آن نسبت به منطق ترانزیستور عبوری^۲، موجب شده که برای طراحی برخی از گیت‌های طرح از منطق pass transistor، که قابل پیاده‌سازی با تعداد کمتری ترانزیستور نسبت به منطق CMOS است، استفاده شود.

با توجه به این که ولتاژ منبع تغذیه مدار خط لوله بسته به شرایطی که در آن کار می‌کند می‌تواند متفاوت باشد (روش چندولتاژی)، مدارهای مذکور یک بار تحت شرایط کمترین تأخیر (به‌ازای ولتاژ منبع تغذیه برابر ۱/۸ ولت) و بار دیگر تحت شرایط کم‌توان (به‌ازای ولتاژ منبع تغذیه برابر ۱ ولت)

^۱ به مدارهای ترکیبی ضرب و ضرب-جمع‌کننده به همراه دو رجیستر فایل در ابتدا و انتهای ساختار آن‌ها گفته می‌شود.

^۲ Pass transistor

کارایی نیز اگرچه توان مصرفی مدار خط لوله نسبت به مدار ترتیبی فاقد خط لوله افزایش یافته است، اما با کاهش ۵۴ درصدی تأخیر، PDP مدار خط لوله ضرب جمع کننده پیشنهادی ۳۹ درصد بهبود یافته است. طبق شبیه سازی های انجام گرفته، نتایج مقاله حاضر را به صورت زیر می توان خلاصه کرد:

- ضرب جمع کننده پیشنهادی که تلفیقی از عملوند ورودی diminished-1 و عملوندهای ورودی و خروجی وزن دار است، بهینه ترین ضرب جمع کننده از نظر توان مصرفی، مساحت و PDP در مقایسه با سایر ضرب جمع کننده های موجود در نمایش عددی وزن دار و diminished-1 است.
- مدارهای خط لوله با بهره گیری از روش چندولتاژی منجر به بهبود چشم گیر تأخیر در شرایط پیشینه کارایی و نیز بهبود توان مصرفی و PDP در شرایط کم توان نسبت به مدارهای ترتیبی موجود بدون خط لوله می شوند.

6- References

۶- مراجع

- [1] تیمارچی سمیه، طراحی و پیاده سازی سیستم های اعداد مانده ای افزونه کارا. رساله ی دکتری، دانشگاه شهید بهشتی، فصل های ۱ و ۲، ۱۳۸۸.
- [2] رجائیان علی، گرایلو هادی. طراحی و ساخت یک سیستم تشخیص خواب آلودگی راننده مبتنی بر پردازش گر سیگنال TMS320C5509A. پردازش علائم و داده ها، ۱۴ (۱): ۸۳-۹۸، ۱۳۹۶.
- [1] Timarchi, S. Design and Implementation of Efficient Redundant Residue Number Systems, Ph.D dissertation. Shahid Beheshti University, chapter 1-2, 2010.
- [2] Rajaeian, A., Grailu, H. Implementation of a Driver Drowsiness Detection System Based on TMS320C5505A DSP Processor. JSDP; 14 (1): 83-98, 2017.
- [3] Timarchi, S., Ghayour, P. and Shahbahrani, A. A novel high-speed low-power binary signed-digit adder. In *Computer Architecture and Digital Systems (CADS), 2012 16th CSI International Symposium on* (pp. 70-74). IEEE, May, 2012.
- [4] Timarchi, S., Fazlali, M. and Cotofana, S.D. A unified addition structure for moduli set $\{2^n-1, 2^n, 2^n+1\}$ based on a novel RNS representation. In *Computer Design (ICCD), 2010 IEEE*

کاهش کارایی مدار، بهبود می بخشد. همچنین، برای واحد ضرب جمع کننده پیشنهادی درصد بهبود توان مصرفی مدار خط لوله نسبت به مدار ترتیبی فاقد خط لوله، برابر ۷۱ درصد است. در شرایط پیشینه کارایی نیز، اگرچه توان مصرفی مدارهای خط لوله نسبت به مدارهای ترتیبی افزایش یافته است، اما با کاهش ۵۴ درصدی تأخیر، PDP واحدهای ضرب و ضرب جمع کننده پیشنهادی دارای خط لوله به ترتیب ۳۱ و ۳۹ درصد بهبود یافته است.

۵- جمع بندی

فعالیت ها و نوآوری های مقاله حاضر را به صورت زیر می توان خلاصه کرد:

- ارائه واحد ضرب جمع کننده جدید بر اساس بهینه ترین ساختارهای ضرب و جمع کننده موجود در پیمانه 2^n+1 . این ساختار اگرچه تأخیر بیشتری نسبت به ضرب جمع کننده diminished-1 ارائه شده در [17] دارد؛ اما به دلیل کاهش ۳۱ و ۲۳ درصدی توان مصرفی به ترتیب نسبت به ساختارهای ارائه شده در [13] و [17]، معیار PDP را ۲۸ درصد نسبت به هر دو ساختار بهبود بخشیده است. همچنین ساختار پیشنهادی به ترتیب ۱۰ و ۳ درصد مساحت کمتری نسبت به ساختارهای ارائه شده در [13]، [17] اشغال می کند.
- ارائه ساختار خط لوله ای و بهره گیری از روش چندولتاژی برای بهینه ترین ساختار ضرب کننده موجود در پیمانه 2^n+1 . در شرایط کم توان مدار خط لوله ضرب کننده پیشنهادی ۷۲ درصد توان مصرفی را نسبت به مدار ترتیبی ضرب کننده فاقد خط لوله ارائه شده در [16]، بدون کاهش کارایی مدار، بهبود می بخشد. در شرایط پیشینه کارایی نیز اگرچه توان مصرفی مدار خط لوله نسبت به مدار ترتیبی فاقد خط لوله افزایش یافته است، اما با کاهش ۵۴ درصدی تأخیر، PDP مدار خط لوله ضرب کننده پیشنهادی ۳۱ درصد بهبود یافته است.
- ارائه ساختار خط لوله ای و بهره گیری از روش چندولتاژی برای ساختار پیشنهادی ضرب جمع کننده پیمانه 2^n+1 که برای پردازنده های سیگنال دیجیتال مناسب است. در شرایط کم توان مدار خط لوله ضرب جمع کننده پیشنهادی ۷۱ درصد توان مصرفی را نسبت به مدار ترتیبی ضرب جمع کننده پیشنهادی فاقد خط لوله، بدون کاهش کارایی مدار، بهبود می بخشد. در شرایط پیشینه

- [17] Efstathiou, C. and Voyiatzis, I. On the diminished-1 modulo $2N+1$ fused multiply-add units. In *Design & Technology of Integrated Systems in Nanoscale Era (DTIS), 2011 6th International Conference on* (pp. 1-5). IEEE, April, 2011.
- [18] Illgner, K. DSPs for image and video processing. *Signal Processing*, 80(11), pp.2323-2336, 2000.
- [19] Timarchi, S., Kavehei, O. and Navi, K. Low Power Modulo $2n+1$ Adder Based on Carry Save Diminished-One Number System. *American Journal of Applied Sciences*, 5(4), pp.312-319, 2008.
- [20] Piguet, C. *Low-power CMOS circuits: technology, logic design and CAD tools*. CRC Press, 2005.
- [21] Zimmermann, R. and Fichtner, W. Low-power logic styles: CMOS versus pass-transistor logic. *IEEE journal of solid-state circuits*, 32(7), pp.1079-1090, 1997.
- [22] Strollo, A.G.M. and De Caro, D. Low power flip-flop with clock gating on master and slave latches. *Electronics Letters*, 36(4), pp.294-295, 2000.
- [5] Ramirez, J., Garcia, A., Lopez-Buedo, S. and Lloris, A. RNS-enabled digital signal processor design. *Electronics Letters*, 38(6), pp.266-268, 2002.
- [6] Bernocchi, G.L., Cardarilli, G.C., Del Re, A., Nannarelli, A. and Re, M. Low-power adaptive filter based on RNS components. In *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on* (pp. 3211-3214). IEEE, May, 2007.
- [7] Marino, F., Stella, E., Branca, A., Veneziani, N. and Distant, A. Specialized hardware for real-time navigation. *Real-Time Imaging*, 7(1), pp.97-108, 2001.
- [8] Meyer-Bäse, U., García, A. and Taylor, F. Implementation of a communications channelizer using FPGAs and RNS arithmetic. *Journal of VLSI signal processing systems for signal, image and video technology*, 28(1-2), pp.115-128, 2001.
- [9] Bajard, J.C. and Imbert, L. A full RNS implementation of RSA. *IEEE Transactions on Computers*, 53(6), pp.769-774, 2004.
- [10] Leibowitz, L. A simplified binary arithmetic for the Fermat number transform. *IEEE Transactions on acoustics, speech, and signal processing*, 24(5), pp.356-359, 1976.
- [11] Zimmermann, R. Efficient VLSI implementation of modulo $(2^{\sup n}/\text{spl plusmn}/1)$ addition and multiplication. In *Computer Arithmetic, 1999. Proceedings. 14th IEEE Symposium on* (pp. 158-167). IEEE, 1999.
- [12] Efstathiou, C., Pekmestzi, K. and Axelos, N. August. On the Design of Modulo 2^{n+1} Multipliers. In *Digital System Design (DSD), 2011 14th Euromicro Conference on* (pp. 453-459). IEEE, 2011.
- [13] Efstathiou, C., Moshopoulos, N., Axelos, N. and Pekmestzi, K. Efficient modulo $2n+1$ multiply and multiply-add units based on modified Booth encoding. *Integration, the VLSI Journal*, 47(1), pp.140-147, 2014.
- [14] Efstathiou, C., Vergos, H.T., Dimitrakopoulos, G. and Nikolos, D. Efficient diminished-1 modulo $2^{\sup n}/+1$ multipliers. *IEEE Transactions on Computers*, 54(4), pp.491-496, 2005.
- [15] Lv, X. and Yao, R. Efficient diminished-1 modulo $2n+1$ multiplier architectures. In *Neural Networks (IJCNN), 2014 International Joint Conference on* (pp. 481-486). IEEE, July, 2014.
- [16] Chen J.W., Yao R.H., Wu W.J. Efficient Modulo $2n+1$ multipliers. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp. 2149-2157, 2011.



نگار اکبرزاده مدرک کارشناسی و کارشناسی ارشد خود را در رشته مهندسی برق-الکترونیک گرایش دیجیتال در سال‌های ۱۳۹۳ و ۱۳۹۵ از دانشگاه شهید بهشتی اخذ کرد؛ ایشان هم‌اکنون دانشجوی دکتری رشته مهندسی کامپیوتر گرایش معماری سامانه‌های کامپیوتری در دانشگاه صنعتی شریف است. زمینه‌های پژوهشی وی معماری کامپیوتر و مدارهای حسابی است. نشانی رایانامه ایشان عبارت است از:

akbarzadeh@ce.sharif.edu



سمیه تیمارچی مدرک کارشناسی خود را در رشته مهندسی کامپیوتر گرایش سخت‌افزار در سال ۱۳۸۱ از دانشگاه شهید بهشتی، کارشناسی ارشد خود را در رشته مهندسی کامپیوتر گرایش معماری سامانه‌های کامپیوتری در سال ۱۳۸۳ از دانشگاه صنعتی شریف و دکترای خود را در سال ۱۳۸۸ از دانشگاه شهید بهشتی اخذ کرد؛ ایشان هم‌اکنون استادیار دانشکده مهندسی برق در دانشگاه شهید بهشتی است. زمینه‌های پژوهشی وی معماری کامپیوتر و مدارهای حسابی است. نشانی رایانامه ایشان عبارت است از:

S_timarchi@sbu.ac.ir